

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-323645

(43)Date of publication of application : 24.11.2000

(51)Int.Cl.

H01L 25/04
H01L 25/18
H01L 23/12
H01L 25/065
H01L 25/07
H05K 3/46

(21)Application number : 11-129739

(71)Applicant : SHINKO ELECTRIC IND CO LTD

(22)Date of filing : 11.05.1999

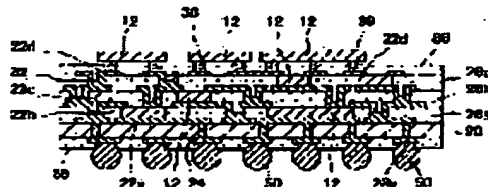
(72)Inventor : TAKEUCHI YUKIHARU

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To load a semiconductor device by integrating semiconductor elements, and to provide a compact semiconductor device having a composite function.

SOLUTION: Wiring patterns 22a, 22b, 22c, and 22d are limited in multiple layers through insulating layers 26a, 26b, and 22c on a substrate 30, and the wiring patterns are electrically connected in the layers in this semiconductor device. In this case, semiconductor elements 12 electrically connected with the wiring patterns are embedded and loaded in wiring layers in the inner layers in which the wiring patterns are formed. The wiring layers in the inner layers are provided with the insulating layers 26a, 26b, 26c, and 26d with almost the same thickness as the thickness of the semiconductor elements for covering the wiring patterns in the lower layer, and for sealing the side faces of the semiconductor elements loaded in the inner layers with the electrode terminal formation faces as the upper faces, and the wiring patterns in the upper layer electrically connected through a via 32 formed through the insulating layers with the wiring patterns in the lower layer, formed on the surface of the insulating layers, extended on the electrode terminal formation faces of the semiconductor elements, and electrically connected with the electrode terminals.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

BEST AVAILABLE COPY

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

を示す断面図である。

【図6】半導体装置の他の実施形態の製造方法を示す説明図である。

【図7】半導体素子を複数個搭載した半導体装置の従来例を示す断面図である。

【図8】半導体素子を複数個搭載した半導体装置の従来例を示す断面図である。

【符号の説明】

10 基板
12 半導体素子
14 樹脂基体
16 配線層
20 樹脂基板
22、22a、22b、22c、22d 配線パターン

23 配線パターン

23a ランド

26、26a、26b、26c 絶縁層

28 ピア穴

30 基板

32 ピア

34 接続パターン

36 ソルダーレジスト

38 接続部

10 40a 素子収納孔

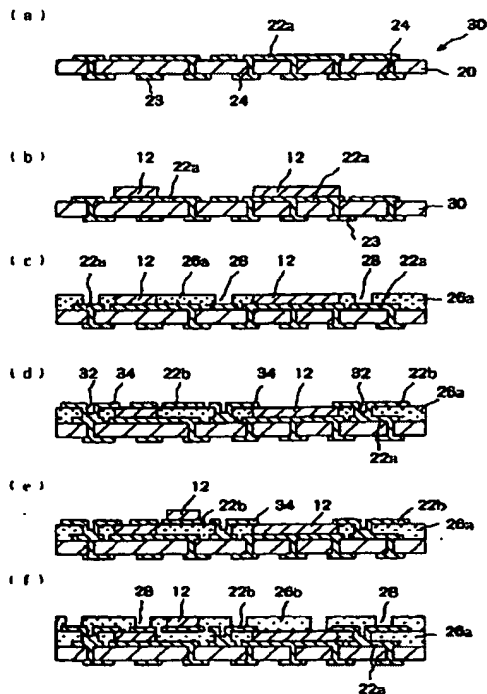
40 絶縁樹脂フィルム

42 リリースフィルム

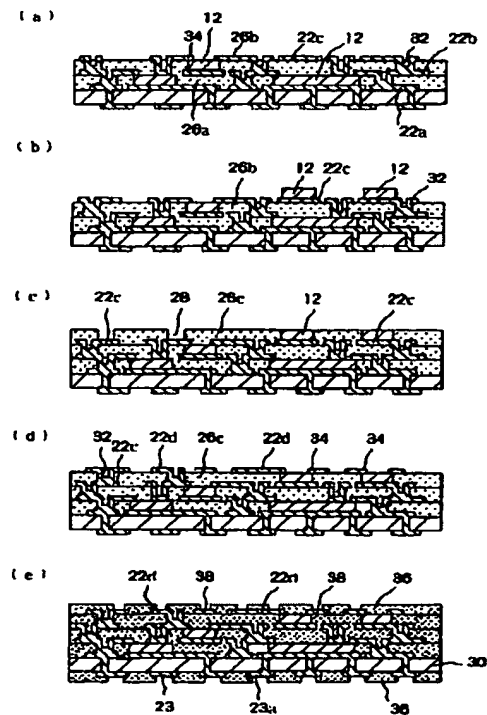
44 熱板

50 外部接続端子

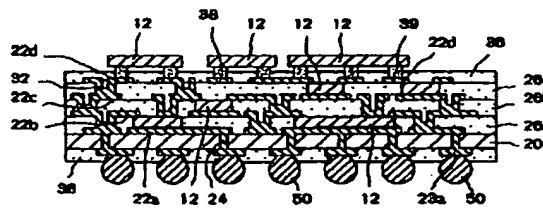
【図1】



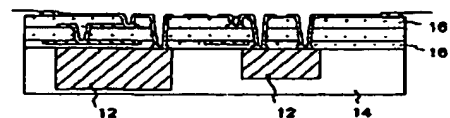
【図2】



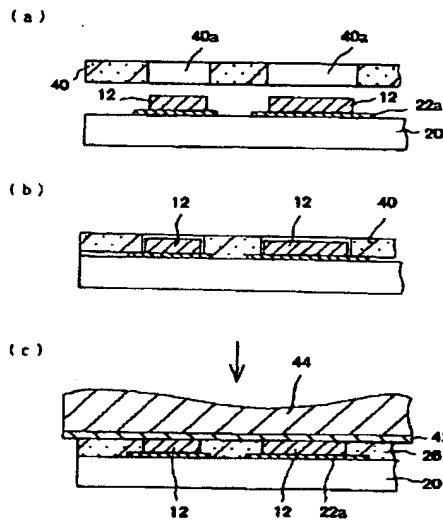
【図4】



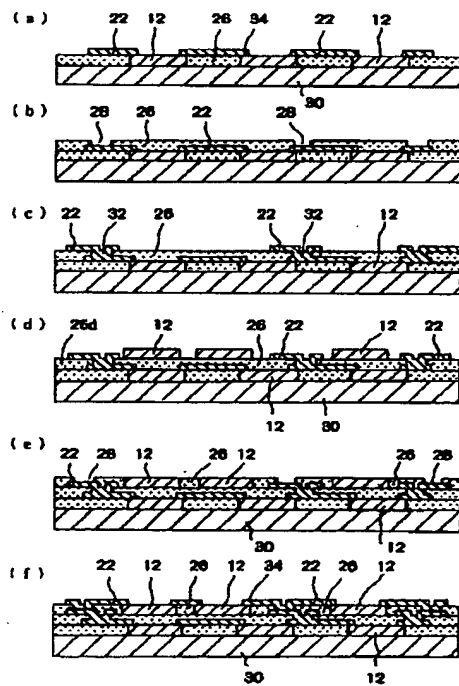
【図8】



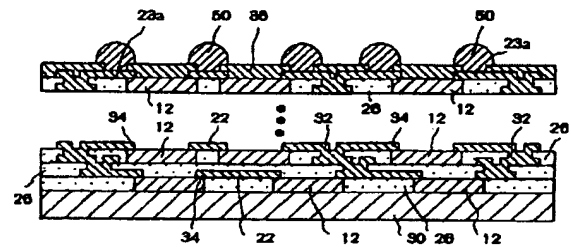
【図3】



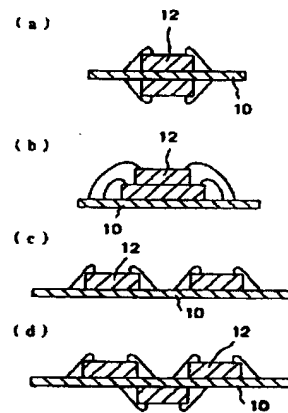
【図6】



【図5】



【図7】



(9)

特開2000-323645

フロントページの続き

(51) Int. Cl. 7

H05K 3/46

識別記号

F 1

ターミナル (参考)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-323645
(P2000-323645A)

(43) 公開日 平成12年11月24日 (2000. 11. 24)

(51) Int.Cl. ⁷	識別記号	F I	テ-リ-ト ⁷ (参考)
H 0 1 L	25/04	H 0 1 L 25/04	Z 5 E 3 4 6
	25/18	H 0 5 K 3/46	Q
	23/12	H 0 1 L 23/12	N
	25/065	25/08	Z
	25/07		

審査請求 未請求 請求項の数 7 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願平11-129739

(22) 出願日 平成11年 5 月11日 (1999. 5. 11)

(71) 出願人 000190688

新光電気工業株式会社

長野県長野市大字栗田字舍利田711番地

(72) 発明者 竹内 之治

長野県長野市大字栗田字舍利田711番地

新光電気工業株式会社内

(74) 代理人 100077621

弁理士 綿貫 隆夫 (外1名)

Fターム (参考) 5E346 AA43 DD24 EE18 FF14 FF34

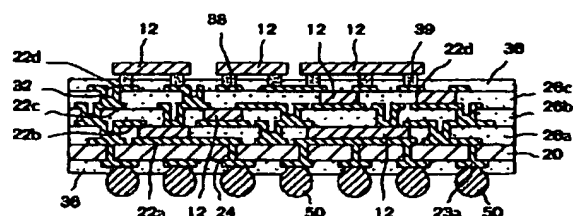
FF45 GG08 GG09 GG15 HH31

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 半導体素子を集積して半導体装置に搭載することを可能にし、コンパクトで複合機能を有する半導体装置を提供する。

【解決手段】 基板30上に絶縁層26a、26b、26cを介して配線パターン22a、22b、22c、22dが多層に積層され、該配線パターンが層間で電氣的に接続されてなる半導体装置において、前記配線パターンが形成された内層の配線層に、該配線パターンと電氣的に接続された半導体素子12が埋設されて搭載されている。内層の配線層は、下層の配線パターンを被覆するとともに、電極端子形成面を上面にして内層に搭載された半導体素子12の側面を封止する。半導体素子の厚さと略同じ厚さの絶縁層26a、26b、26c、26dと、絶縁層を貫通して形成されたビア32を介して下層の配線パターンと電氣的に接続されるとともに、該絶縁層の表面に形成され、前記半導体素子の電極端子形成面上に延出して該電極端子と電氣的に接続される上層の配線パターンとを備えている。



【特許請求の範囲】

【請求項1】 基板上に絶縁層を介して配線パターンが多層に積層され、該配線パターンが層間で電気的に接続されてなる半導体装置において、

前記配線パターンが形成された内層の配線層に、該配線パターンと電気的に接続された半導体素子が埋設されて搭載されていることを特徴とする半導体装置。

【請求項2】 内層の配線層が、下層の配線パターンを被覆するとともに、電極端子形成面を上面にして内層に搭載された半導体素子の側面を封止する、半導体素子の厚さと略同じ厚さの絶縁層と、

該絶縁層を貫通して形成されたビアを介して下層の配線パターンと電気的に接続されるとともに、該絶縁層の表面に形成され、前記半導体素子の電極端子形成面上に延出して該電極端子と電気的に接続される上層の配線パターンとを備えていることを特徴とする請求項1記載の半導体装置。

【請求項3】 基板の両面に前記配線パターンが形成され、基板を貫通して設けた導通部を介して基板の両面に設けられた配線パターンが電気的に接続されていることを特徴とする請求項1または2記載の半導体装置。

【請求項4】 基板が金属板によって形成され、該金属板の一方の面側の内層に半導体素子を埋設した配線層が形成されていることを特徴とする請求項1または2記載の半導体装置。

【請求項5】 配線パターンが形成された内層の配線層に、該配線パターンと電気的に接続された半導体素子が埋設されて搭載された半導体装置の製造方法において、下層の配線パターンを有する配線層に電極端子形成面を上面にして半導体素子を搭載し、

下層の配線パターンと半導体素子の側面とを絶縁層により被覆し、

該絶縁層を貫通して前記下層の配線パターンを露出させるビア穴を形成し、ビア穴の内面、絶縁層の表面及び半導体素子の表面に電解めっき用のめっき給電層を形成した後、

該めっき給電層上に配線パターンを形成する部位を露出したレジストパターンを形成し、該レジストパターンをマスクとして電解めっきを施し、

次いで、前記レジストパターンを除去した後、該レジストパターンの除去によって露出しためっき給電層部分を除去して、下層の配線パターンと上層の配線パターンとを電気的に接続するビアと、前記半導体素子の電極端子と電気的に接続する上層の配線パターンとを形成することを特徴とする半導体装置の製造方法。

【請求項6】 配線パターンが形成された内層の配線層に、該配線パターンと電気的に接続された半導体素子が埋設されて搭載された半導体装置の製造方法において、基板、あるいは下層の配線パターンを被覆して形成した絶縁層に電極端子形成面を上面にして半導体素子を搭載

し、

半導体素子の側面を絶縁層により被覆し、

該絶縁層を貫通して前記下層の配線パターンを露出させるビア穴を形成し、ビア穴の内面、絶縁層の表面及び半導体素子の表面に電解めっき用のめっき給電層を形成した後、

該めっき給電層上に配線パターンを形成する部位を露出したレジストパターンを形成し、該レジストパターンをマスクとして電解めっきを施し、

次いで、前記レジストパターンを除去した後、該レジストパターンの除去によって露出しためっき給電層部分を除去して、下層の配線パターンと上層の配線パターンとを電気的に接続するビアと、前記半導体素子の電極端子と電気的に接続する上層の配線パターンとを形成することを特徴とする半導体装置の製造方法。

【請求項7】 半導体素子を所定位置に搭載した後、半導体素子の厚さと略同じ厚さに形成され、半導体素子を収納する素子収納孔が形成された絶縁樹脂フィルムを、半導体素子と素子収納孔とを位置合わせして配置し、リリースフィルムを介して前記絶縁樹脂フィルムを加熱・加圧して半導体素子を搭載した層に絶縁層を形成することを特徴とする請求項5記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は単一のパッケージ内に複数の半導体素子を搭載した半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】半導体装置の高集積化、高機能化を図る目的で単一のパッケージ内に複数の半導体素子を搭載した半導体装置が従来提供されている。図7は一枚の基板10に半導体素子12を複数個搭載した半導体装置の例を示す。図7(a)は基板10の両面に半導体素子12を搭載した例、図7(b)は基板10の片面に半導体素子12を積み重ねて搭載した例、図7(c)は基板10の平面内に半導体素子12を複数個搭載した例、図7(d)は基板10の両面に半導体素子12を搭載すると共に基板の平面内に半導体素子12を複数個搭載した例である。

【0003】基板10の表面には配線パターンが形成されており、図示例ではいずれも半導体素子12と配線パターンとをワイヤボンディングによって電気的に接続している。もちろん、半導体素子12と配線パターンとの電気的接続はワイヤボンディング接続に限らず、フリップチップ接続、TAB接続等が利用できる。

【0004】

【発明が解決しようとする課題】上記の半導体装置は基板10の搭載面内に半導体素子12を搭載するから、半導体素子12の搭載数が制限されるし、半導体素子12を積み重ねて搭載する場合でも何枚も積層することがで

きない。また、半導体素子 12 と基板 10 の配線パターンとをワイヤボンディングによって接続する場合は、ボンディングエリアが必要となるから、さらに半導体素子 12 を搭載する面積が狭くなる。

【0005】このようにパッケージ内に複数の半導体素子 12 を搭載する場合に、単に基板 10 の搭載面に半導体素子 12 を搭載する方法では半導体素子 12 の搭載数が限定され十分な高集積化及び高機能化を図ることができない。そこで、さらに半導体装置の高集積化及び高機能化を図る方法として、基板を多層化し基板内に半導体素子を内蔵する形式の半導体装置が考えられている。図 8 は樹脂基板 14 中に半導体素子 12 を埋設し、半導体素子 12 の電極端子形成面上に配線層 16 を形成して成る半導体装置である。

【0006】このように、複数の配線層を備えた多層基板の構造を利用すれば、半導体素子等のチップ状の部品を相互に電気的に接続して、基板内で 3 次元的に配置することが可能である。しかしながら、基板内に半導体素子を埋設し、かつ配線層を多層に形成することは必ずしも容易ではなく、また、全体の厚さを薄くして、半導体装置をコンパクトに形成しなければならないという問題もある。本発明はこのような単一のパッケージ内に複数の半導体素子を搭載した半導体装置に係るものであり、その目的とするところは、従来の半導体装置にくらべて効果的に高集積化及び高機能化を図ることができ、確実に、かつコンパクトに製造することができる半導体装置及びその製造方法を提供するにある。

【0007】

【課題を解決するための手段】上記目的を達成するため、本発明は次の構成を備える。すなわち、基板上に絶縁層を介して配線パターンが多層に積層され、該配線パターンが層間で電気的に接続されてなる半導体装置において、前記配線パターンが形成された内層の配線層に、該配線パターンと電気的に接続された半導体素子が埋設されて搭載されていることを特徴とする。また、内層の配線層が、下層の配線パターンを被覆するとともに、電極端子形成面を上面にして内層に搭載された半導体素子の側面を封止する、半導体素子の厚さと略同じ厚さの絶縁層と、該絶縁層を貫通して形成されたビアを介して下層の配線パターンと電気的に接続されるとともに、該絶縁層の表面に形成され、前記半導体素子の電極端子形成面上に延出して該電極端子と電気的に接続される上層の配線パターンとを備えていることを特徴とする。また、基板の両面に前記配線パターンが形成され、基板を貫通して設けた導通部を介して基板の両面に設けられた配線パターンが電気的に接続されていることを特徴とする。また、基板が金属板によって形成され、該金属板の一方の面側の内層に半導体素子を埋設した配線層が形成されていることを特徴とする。

【0008】また、配線パターンが形成された内層の配

線層に、該配線パターンと電気的に接続された半導体素子が埋設されて搭載された半導体装置の製造方法において、下層の配線パターンを有する配線層に電極端子形成面を上面にして半導体素子を搭載し、下層の配線パターンと半導体素子の側面とを絶縁層により被覆し、該絶縁層を貫通して前記下層の配線パターンを露出させるビア穴を形成し、ビア穴の内面、絶縁層の表面及び半導体素子の表面に電解めっき用のめっき給電層を形成した後、該めっき給電層上に配線パターンを形成する部位を露出したレジストパターンを形成し、該レジストパターンをマスクとして電解めっきを施し、次いで、前記レジストパターンを除去した後、該レジストパターンの除去によって露出しためっき給電層部分を除去して、下層の配線パターンと上層の配線パターンとを電気的に接続するビアと、前記半導体素子の電極端子と電気的に接続する上層の配線パターンとを形成することを特徴とする。また、前記半導体装置の製造方法において、基板、あるいは下層の配線パターンを被覆して形成した絶縁層に電極端子形成面を上面にして半導体素子を搭載し、半導体素子の側面を絶縁層により被覆し、該絶縁層を貫通して前記下層の配線パターンを露出させるビア穴を形成し、ビア穴の内面、絶縁層の表面及び半導体素子の表面に電解めっき用のめっき給電層を形成した後、該めっき給電層上に配線パターンを形成する部位を露出したレジストパターンを形成し、該レジストパターンをマスクとして電解めっきを施し、次いで、前記レジストパターンを除去した後、該レジストパターンの除去によって露出しためっき給電層部分を除去して、下層の配線パターンと上層の配線パターンとを電気的に接続するビアと、前記半導体素子の電極端子と電気的に接続する上層の配線パターンとを形成することを特徴とする。また、半導体素子を所定位置に搭載した後、半導体素子の厚さと略同じ厚さに形成され、半導体素子を収納する素子収納孔が形成された絶縁樹脂フィルムを、半導体素子と素子収納孔とを位置合わせして配置し、リリースフィルムを介して前記絶縁樹脂フィルムを加熱・加圧して半導体素子を搭載した層に絶縁層を形成することを特徴とする。

【0009】

【発明の実施の形態】以下、本発明の好適な実施形態を添付図面に基づいて詳細に説明する。図 1、2 は本発明に係る半導体装置の製造方法を工程順に示す説明図である。本実施形態では樹脂基板の両面に銅箔を貼った両面銅貼り基板を基板として使用して多層に配線層を形成する。基板として樹脂基板以外に金属基板やメタルコア基板等を使用することも可能であるが、以下では、まず、樹脂基板を基板材料とする基板を用いて半導体装置を形成する方法について説明する。

【0010】図 1 (a) は樹脂基板 20 の一方の面と他方の面に配線パターン 22 a、23 が形成され、これらの配線パターン 22 a、23 が樹脂基板 20 を厚さ方向に

貫通する導通部24を介して電氣的に接続された基板30を示す。基板30は、両面銅貼り基板に貫通孔を形成し、無電解銅めっき及び電解銅めっきを施して貫通孔の内壁面に導体膜を形成し、貫通孔に樹脂を充填した後、樹脂基板20の表面の銅箔とめっきにより銅箔上に形成されためっき層からなる導体層をエッチングし配線パターン22a、23を形成して得られる。貫通孔の内壁面に形成される導体膜が配線パターン22a、23を電氣的に接続する導通部24となる。

【0011】なお、基板30は樹脂基板20の両面に配線パターンを複数層に形成したもの、たとえば4層の配線層を有するもの等であってもよい。基板30は多層配線基板でのコア基板として作用する。複数層に配線層を形成した基板は、下層の配線パターンを形成した後、絶縁層により配線パターンを被覆し、レーザ光照射等により絶縁層にビア穴を形成し、ビア穴の内面を含む絶縁層の表面を導体層によって被着し、導体層を所要のパターンにエッチングして得られる。なお、別の方法として、樹脂基板に貫通孔をあける工程を配線パターンを絶縁層によって被覆した後の工程とし、絶縁層を含めて貫通孔を形成した後、貫通孔の内壁面に導体部を形成しあわせて絶縁層の表面に導体層を形成し、導体層をエッチングして上層の配線パターンを形成する方法もある。

【0012】図1(b)は次に、基板30に半導体素子12を搭載した状態である。半導体素子12は機能面を上側として第1層の配線層に搭載する。配線パターン22aは半導体素子12の搭載位置を考慮し、また上層の配線パターンとの電氣的接続を考慮して所定のパターンに形成されている。たとえば、配線パターン22aの形成方法として、半導体素子12の搭載部が接地電位となるように配線パターン22aを形成するといったことができる。図のように、半導体素子12は、基板30の平面範囲内で複数個所に搭載する。

【0013】本実施形態の半導体装置は基板30の一方の面のみに半導体素子12を積層するように形成するものであり、本実施形態で基板30の下面に設けた配線パターン23はんだボール等の外部接続端子を接合するランドとして形成される。もちろん、製品形態により、基板30の両面に半導体素子12を搭載することが可能である。半導体素子12は基板内に積層して配置するからできるだけ厚さの薄いものを使用する。現在、半導体素子として50 μ m~100 μ m程度の厚さのものが提供されている。この程度の厚さの半導体素子12であれば基板内に積層して埋設して使用することは十分に可能である。

【0014】図1(c)は、次に、第1層の配線パターン22aを絶縁層26aによって被覆した状態である。28は層間で配線層を電氣的に接続するビアを形成するためのビア穴である。本実施形態では絶縁層26aを形成する際に、半導体素子12の厚さと略同じ厚さに絶縁層

26aを形成し、半導体素子12の電極端子形成面(上面)が絶縁層26aによって被覆されないように形成することが特徴である。半導体素子12と配線パターンとは絶縁層26aの表面に形成する導体層を介して電氣的に接続するようにするからである。

【0015】半導体素子12の電極端子形成面を絶縁層26aによって被覆しないようにするため、絶縁層26aを形成する絶縁樹脂フィルム40として半導体素子12の搭載位置に合わせて素子収納孔40aを形成したフィルムを使用する。図3に絶縁樹脂フィルム40を基板に接着する方法を示す。素子収納孔40aを形成した絶縁樹脂フィルム40を基板に位置合わせし(図3(a))、基板に配置する(図3(b))。絶縁樹脂フィルム40に素子収納孔40aが形成されているから半導体素子12の電極端子形成面を被覆せずに絶縁樹脂フィルム40が配置される。

【0016】絶縁樹脂フィルム40を基板に配置した後、絶縁樹脂フィルム40を加熱・加圧して絶縁層26aを形成する(図3(c))。この加熱・加圧操作は絶縁樹脂フィルム40を確実に接着することと、絶縁層26aの表面を半導体素子12の表面と同一の高さの平坦面にするを目的とする。実施形態では絶縁樹脂フィルム40と半導体素子12の表面をリリースフィルム42によって被覆し、リリースフィルム42を介して熱板44により加熱・加圧して半導体素子12の側面部分を封止する。リリースフィルム42を介して熱圧着するのは、絶縁樹脂フィルム40を加熱・加圧して接着する際に半導体素子12の電極端子形成面が汚染されないようにするためである。

【0017】リリースフィルム42は所要の耐熱性を有し、絶縁樹脂フィルム40(絶縁層26a)、半導体素子12と容易に剥離できるものを使用する。絶縁樹脂フィルム40としては、たとえば接着性を有するポリイミド樹脂が使用できる。絶縁樹脂フィルム40に形成する素子収納孔40aは半導体素子12と同寸か、もしくはやや大きく形成する。また、絶縁樹脂フィルム40は半導体素子12の厚さと同じか、もしくはやや厚いものを使用する。絶縁層26aを形成した後、絶縁層26aの所要部位にレーザ光を照射し、底面に配線パターン22aが露出するビア穴28を形成する。こうして、図1(c)に示すビア穴28が形成された絶縁層26aが得られる。

【0018】図1(d)は、絶縁層26aの表面に第2層の配線パターン22bを形成した状態である。第2層の配線パターン22bは次のような方法によって形成することができる。まず、絶縁層26aに無電解銅めっきあるいはスパッタリングを施してビア穴28を含む絶縁層26aの表面及び半導体素子12の表面に、電解めっきを施すめっき給電層としての薄い導電層を形成する。次に、この薄い導電層の表面に感光性レジストを塗布し、

第2層の配線パターン22bを形成する部位を露出したレジストパターンを形成する。次に、このレジストパターンをめっき用のマスクとし、薄い導電層をめっき給電層として電解銅めっきを施し肉厚の導体層を形成する。導体層を形成した後、先の電解めっきで使用したレジストパターンを除去し、薄いめっき給電層の露出部分をエッチングにより除去し肉厚の導体層を残す。こうして、絶縁層26aに配線パターン22bが形成される。

【0019】ビア穴28では穴の内面に導体層が被着して形成され、第1層の配線パターン22aと第2層の配線パターン22bとを電気的に接続するビア32が形成される。また、半導体素子12の電極端子形成面では半導体素子12の電極端子と電気的に接続する接続パターン34が形成される。接続パターン34は半導体素子12の電極端子形成面上に延出して電極端子に接続するように形成する。前述したように、絶縁層26aの表面と半導体素子12の電極端子形成面とは同一高さの平坦面に形成されているから、めっき給電層用の薄い導電層を形成した後、めっき用のレジストパターンを用いて電解めっきを施すことにより配線パターンと同時に接続パターン34が形成される。なお、接続パターン34は当該配線層での配線パターンの一部となるものであり、当該配線層での引き回し用のパターンと半導体素子12に接続される接続パターン34をともに含む意味で配線パターンという。

【0020】図1(e)は、第2層の配線パターン22bに半導体素子12を搭載した状態である。第1層の配線パターン22aに半導体素子12を搭載した方法と同様に、電極端子形成面を上面にし、配線パターン22bに位置合わせして半導体素子12を搭載する。図1(f)は、次に、第2層の配線パターン22bを絶縁層26bによって被覆した状態である。絶縁層26bも絶縁層26aを形成したと同様に、半導体素子12の配置に合わせて素子収納孔を設けた絶縁樹脂フィルムを熱圧着し、半導体素子12の電極端子形成面と絶縁層26bの表面とが同一高さの平坦面となるように形成する。28は絶縁層26bに形成したビア穴である。

【0021】図2(a)は、絶縁層26bの表面に第3層目の配線パターン22cを形成した状態である。32が第2層目の配線パターン22bと第3層目の配線パターン22cとを電気的に接続するビアである。配線パターン22cには、第2層目の場合と同様に、半導体素子12の電極端子と電気的に接続する接続パターン34を形成する。図2(b)は、第3層目の配線パターン22cに半導体素子12を搭載した状態である。この場合も、電極端子形成面を上面にして半導体素子12を搭載する。図2(c)は、配線パターン22cを絶縁層26cによって被覆した状態である。半導体素子12の電極端子形成面と絶縁層26cの表面とが面一の平坦面になるよう絶縁層26cを形成する。

【0022】図2(d)は、絶縁層26cの表面に導体層を形成し、導体層をエッチングして第4層の配線パターン22dを形成した状態である。第4層の配線パターン22dもビア32を介して第3層の配線パターン22cと電気的に接続され、接続パターン34を介して半導体素子12と電気的に接続される。図2(e)は、第4層の配線パターン22dを形成した後、第4層の配線パターン22dの表面を保護膜のソルダーレジスト36によって被覆し、基板30の下面の配線パターン23をソルダーレジスト36によって被覆する。配線パターン22dの表面を被覆するソルダーレジスト36は、最上層に搭載する半導体素子の接続端子の配置位置に合わせて底面で配線パターン22dが露出する接続部38を設けたものである。一方、配線パターン23を被覆するソルダーレジスト36はランド23aが底面で露出するように設けたものである。接続部38及びランド23aの表面には金めっき等の保護めっきが施される。

【0023】図2(e)に示す多層配線基板は内層に半導体素子12が配置されるとともに、樹脂基板20を基板として層間で電気的に接続した複数の配線層が形成されたものとなる。図4は図2(e)に示す多層配線基板で、最上層の配線パターン22dにバンパ39を介して半導体素子12を搭載し、配線パターン23のランド23aに外部接続端子50としてはんだボールを接合して得た半導体装置の最終形状を示す。樹脂基板20の一方の面上に多層に配線層が形成され、これらの配線層中に半導体素子12が埋め込まれるとともに、樹脂基板20の他方の面にこれらの半導体素子12と電気的に接続する外部接続端子50が取り付けられている。

【0024】この半導体装置は外観上は配線基板の一方の面に半導体素子12が搭載され、他方の面に実装用の外部接続端子が接合されたものとなっているが、多層形成された配線基板の内部に半導体素子12が内蔵されて構成されていることから、半導体素子12の集積度がきわめて高度に達成され、複合機能を有するコンパクトな半導体装置として提供することが可能になる。また、製造方法も絶縁層を介して配線層を多層に形成する従来方法を利用するものであり、配線層中に埋設した半導体素子12と配線パターンとの電気的接続が確保でき、半導体装置としての所要の信頼性を得ることが可能になる。

【0025】図5は本発明に係る半導体装置の他の実施形態を示す。図5に示す半導体装置は内層に半導体素子12を埋設して基板30の一方の面上のみに配線層を形成するとともに、多層に形成した配線層の外面に外部接続端子50であるはんだボールを接合したことと、隣接する配線層の層間に絶縁層26を設けたことを特徴とする。隣接する配線層の層間に絶縁層26を設けたことにより、隣接層での半導体素子12の配置位置の制約が緩和され、隣接層で半導体素子12が重複する平面配置とすることが可能になる。

【0026】図6は図5に示す半導体装置を製造する工程を示す。図6(a)は基板30に電極端子形成面を上面側として半導体素子12を搭載し、半導体素子12の側面間を絶縁層26によって封止し、絶縁層26の表面と半導体素子12の表面に配線パターン22を形成した状態である。配線パターン22には半導体素子12の電極端子に接続する接続パターン34が形成される。このように半導体素子12は基板30に直接搭載することも可能である。絶縁層26は上述した実施形態と同様に、半導体素子12の配置位置に合わせて素子収納孔を形成した絶縁樹脂フィルム40を基板30上に配置し、リリースフィルムを介して加熱・加圧することにより半導体素子12の側面を封止するとともに、半導体素子12の表面と同一高さの平坦面となるように形成する。

【0027】配線パターン22は絶縁層26および半導体素子12の表面にめっき給電層を設け、めっき給電層の表面に配線パターン22を形成するためのレジストパターンを設け、このレジストパターンをマスクとして電解めっきを施し、レジストパターンを除去して、薄いめっき給電層の露出部分をエッチングして除去することによって形成できる。図6(b)は配線パターン22を設けた面を絶縁層26によって被覆し、下層の配線パターン22が底面に露出するビア穴28を形成した状態である。絶縁層26は絶縁樹脂フィルム40を被覆し、電気的絶縁性を有する樹脂を薄くコーティングすることによって形成できる。ビア穴28はレーザ光照射、エッチング等によって形成できる。

【0028】図6(c)は前述した実施形態と同様な方法により、ビア穴28にビア32を形成し、ビア32を介して下層の配線パターンと電気的に接続する上層の配線パターン22を絶縁層26の表面に形成した状態である。図6(d)は次に、絶縁層26の上に第2層目の半導体素子12を電極端子形成面を上面にして搭載した状態である。この第2層目の半導体素子12は絶縁層26の表面に形成した配線パターン22の上に搭載することももちろん可能である。

【0029】図6(d)は第2層目の半導体素子12の側面間を絶縁層26によって封止するとともに、配線パターン22を絶縁層26によって被覆した状態である。当該層における半導体素子12の平面配置に合わせて素子収納孔を設けた絶縁性フィルムを用いることにより、前述したと同様な方法によって絶縁層26を形成し、ビア穴28を形成する。絶縁層26の表面と半導体素子12の電極端子形成面とは同一高さ面となっている。図6(e)は絶縁層26と半導体素子12の電極端子形成面に配線パターン22を形成した状態である。配線パターン22には半導体素子12の電極端子と電気的に接続される接続パターン34が設けられる。

【0030】半導体素子12をさらに上層に積層する場合、上述したように、絶縁層26を中間層に形成して

積層していけばよい。図5はこうして作成した半導体装置を示すものである。前述したように、隣接する半導体素子12の中間層に絶縁層26を設けることにより、平面配置で見た場合、半導体素子12を重複させて配置することができ、半導体装置の平面方向での集積度を効果的に向上させることが可能になる。

【0031】本実施形態の半導体装置では基板30に金属板を使用し、基板強度を高めて配線層、絶縁層を多層に形成した際の配線基板の反り等の変形を好適に防止できるようにしている。また、基板30に金属板を使用することにより、基板30からの熱放散性を向上させ、配線基板に埋設された半導体素子12から発生する熱を効果的に放散することを可能にする。基板30に金属板を使用することは半導体素子12を多数個搭載するような場合に有効である。また、本実施形態のように基板30の一方の面のみに配線層を設けた場合は、基板30の他方の露出面に放熱フィンを取り付けて熱放散性をさらに改善することが可能になる。

【0032】なお、上記各実施形態では、外部接続端子としてはんだボール50を使用した例を示したが、はんだボールに限らずリードピン等を使用することも可能であり、実装構造は種々の形式を採用することができる。たとえば、外部接続用の端子部を保護めっきを施したコンタクト部に形成して実装基板側の接続電極に電気的に接続するように構成する方法、外部接続用の端子をエッジコネクタに形成する方法等がある。

【0033】

【発明の効果】本発明に係る半導体装置は、上述したように、配線層を多層に形成するとともに多層に形成した内層に半導体素子を埋設したことによって、半導体素子をきわめて集積したかたちで半導体装置に搭載することを可能にする。各層に形成される配線パターンに設けた接続パターンを介して半導体素子と配線パターンとが電気的に接続されるから、半導体素子と配線パターンとの電気的接続もきわめてコンパクトになされる。また、本発明に係る半導体装置の製造方法によれば、層間で配線パターンを確実に電気的に接続するとともに、半導体素子との電気的接続を確実にとって内層に半導体素子を埋設した多層の配線基板を確実に形成でき信頼性の高い、コンパクトな半導体装置を製造することができる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の製造方法を示す説明図である。

【図2】本発明に係る半導体装置の製造方法を示す説明図である。

【図3】基板に絶縁樹脂フィルムを圧着する方法を示す説明図である。

【図4】本発明に係る半導体装置の構成を示す断面図である。

【図5】本発明に係る半導体装置の他の実施形態の構成

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.